

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : **09-283521**  
 (43) Date of publication of application : **31.10.1997**

(51) Int.CI.

**H01L 21/3205**

(21) Application number : **08-096470**  
 (22) Date of filing : **18.04.1996**

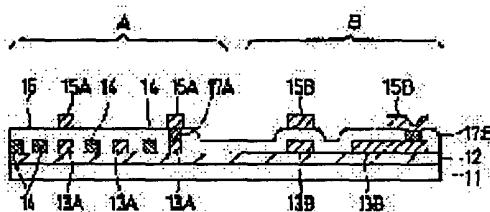
(71) Applicant : **MATSUSHITA ELECTRON CORP**  
 (72) Inventor :  
**DOMAE SHINICHI  
 KATO YOSHIAKI  
 MIYAJIMA AKIO**

## (54) SEMICONDUCTOR DEVICE

### (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device which can realize a high semiconductor integration density and desired electrical characteristics in conformity with design.

**SOLUTION:** Provided on a semiconductor substrate 11 are a digital circuit region A in which electrical characteristics of the circuit tend to be less influenced by increase in parasitic capacitance and an analog circuit region B in which the electrical characteristics tend to be more influenced by the increase in the parasitic capacitance. Formed on the digital circuit region A of the substrate 11 through an insulating film 12 are a first wiring pattern 13A as a first layer as well as a dummy pattern 14 electrically connected to the first wiring pattern 13A as the first layer. Formed on the analog circuit region B of the substrate 11 is a second wiring pattern 13B as the first layer. Formed all over the semiconductor substrate 11 is an interlayer insulating film 16 as the first layer which isolates the wiring patterns 13A and 13B of the first layer from wiring patterns 15A and 15B of a second layer.



## LEGAL STATUS

- [Date of request for examination] 26.06.2001
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-283521

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl.<sup>6</sup>  
H 01 L 21/3205

識別記号 庁内整理番号

F I  
H 01 L 21/88

技術表示箇所  
S  
K

審査請求 未請求 請求項の数5 OL (全6頁)

(21)出願番号 特願平8-96470  
(22)出願日 平成8年(1996)4月18日

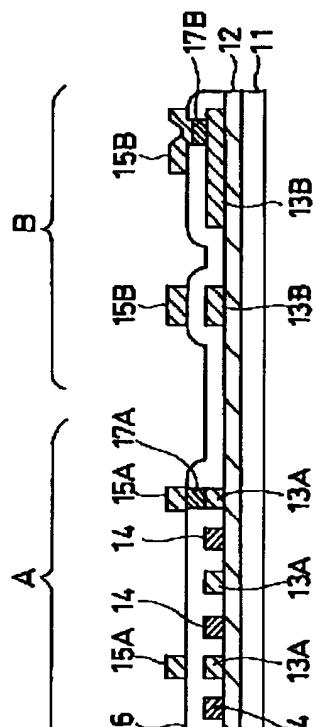
(71)出願人 000005843  
松下電子工業株式会社  
大阪府高槻市幸町1番1号  
(72)発明者 堂前 伸一  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内  
(72)発明者 加藤 義明  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内  
(72)発明者 宮島 明夫  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内  
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 高い半導体素子集積度を実現し且つ設計通りの電気特性を得られるようにする。

【解決手段】 半導体基板11の上に、回路の電気特性が寄生容量の増加に対して変化をしにくいデジタル回路領域Aと、回路の電気特性が寄生容量の増加に対して変化をしやすいアナログ回路領域Bとを設ける。半導体基板11の上に絶縁膜12を介して、デジタル回路領域Aには第1層の第1の配線パターン13A及び第1層の第1の配線パターン13Aとは電気的に絶縁された第1層のダミーパターン14が形成され、アナログ回路領域Bには第1層の第2の配線パターン13Bが形成されている。半導体基板11の上に全面にわたって第1層の各配線パターン13A, 13Bと第2層の各配線パターン15A, 15Bとを絶縁する第1層の層間絶縁膜16が形成されている。



1

## 【特許請求の範囲】

【請求項1】 基板上に、集積回路を有する複数層の配線層を備え、

前記各配線層は、前記集積回路の電気特性が寄生容量の増加に対して変化をしにくい第1の機能領域と、前記集積回路の電気特性が寄生容量の増加に対して変化をしやすい第2の機能領域とをそれぞれ有しており、

前記第1の機能領域には、該第1の機能領域の配線パターンと電気的に絶縁されている疑似配線パターンが設けられていることを特徴とする半導体装置。

【請求項2】 前記第1の機能領域にはデジタル回路が形成され、前記第2の機能領域にはアナログ回路が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1の機能領域における、配線パターンの幅と互いに隣接する配線パターン同士の間隔との和からなる第1の配線ピッチは、第2の機能領域における、配線パターンの幅と互いに隣接する配線パターン同士の間隔との和からなる第2の配線ピッチよりも小さいことを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記複数層の配線層は下方から順次形成された第1、第2及び第3の配線層を有しており、前記第1の機能領域における前記第1の配線層と前記第2の配線層とを電気的に接続するための第1の接続孔と、

前記第1の機能領域における前記第2の配線層と前記第3の配線層とを電気的に接続するための第2の接続孔とは上下の同位置に形成されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項5】 前記第1の機能領域と前記第2の機能領域との境界部には、前記配線パターン及び疑似配線パターンを有しない遷移領域が設けられていることを特徴とする請求項1又は2に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、多層配線層を有する半導体装置に関する。

## 【0002】

【従来の技術】近年、半導体装置には、半導体装置の集積度を高め、デバイスの特性を向上させるために、2層配線や3層配線などの多層配線が広く用いられている。特に、多層配線構造においては層間絶縁膜の平坦化が強く要求されており、層間絶縁膜下にある配線パターン同士の間隔が疎となる領域に疑似配線パターン（以下、ダミーパターンと呼ぶ）を設けることにより層間絶縁膜の平坦性を向上させることが検討されている。

【0003】以下、従来の半導体装置を図面に基づいて説明する。

## 【0004】図4は従来のダミーパターンを有しない半

2

体基板51の上に膜厚1.0μmの酸化シリコン膜よりなる絶縁膜52を介して膜厚0.7μmのAlSiCu合金よりなる第1の配線パターン53が形成されており、半導体基板51の上に全面にわたって第1の配線パターン53と上層の配線パターンとを絶縁する膜厚1.0μmの酸化シリコン膜よりなる層間絶縁膜54Aが形成され、層間絶縁膜54Aの上に膜厚0.7μmのAlSiCu合金よりなる第2の配線パターン55が形成され、第1の配線パターン53と第2の配線パターン55とを電気的に接続する接続孔であるバイアホール56が層間絶縁膜54Aに選択的に形成されている。

【0005】図5は従来のダミーパターンを有する半導体装置の構成断面図である。図5において、図4に示した部材と同一の部材には同一の符号を付すことにより説明を省略して、図4に示した半導体装置との違いのみを説明すると、第1の配線パターン53のうち、配線パターンが比較的疎となる領域に膜厚0.7μmのAlSiCu合金よりなり第1の配線パターン53と電気的に絶縁されたダミーパターン57が形成され、半導体基板51の上に全面にわたって第1の配線パターン53と上層の配線パターンとを絶縁する膜厚1.0μmの酸化シリコン膜よりなる層間絶縁膜54Bとが形成されている。

## 【0006】

【発明が解決しようとする課題】しかしながら、前記従来のダミーパターンを有しない半導体装置は、図4に示すように、第1の配線パターン53における配線パターンが比較的疎となる領域の層間絶縁膜54Aの上面には段差部60が生じるため、フォトリソグラフィー工程において段差部60によりハレーションが起きたり露光時に焦点深度がずれたりしてレジストパターンの解像度が落ちるので、また、エッチング工程において第2の配線パターン55を形成する金属が段差部60の近傍に残滓として残りやすくなるので、第2の配線パターン55を微細に形成することが困難となり、その結果、半導体素子の高い集積度を得られないという問題を有していた。

【0007】また、前記従来のダミーパターンを有する半導体装置は、第1の配線パターン53の比較的疎となる領域にダミーパターン57が形成されているため、層間絶縁膜54Bの上面は平坦となるので、微細加工を行えるようになるが、配線パターン間の容量が増加してしまい、設計通りの電気特性が得られないという問題を有していた。

【0008】本発明は前記従来の問題を一挙に解決し、高い半導体素子集積度を実現し且つ設計通りの電気特性を得られるようにすることを目的とする。

## 【0009】

【課題を解決するための手段】前記の目的を達成するため、本発明は、寄生容量の増加に対して電気特性が影響されない回路のみを形成する領域を設け、該領域にのみ

3

【0010】具体的に請求項1の発明が講じた解決手段は、半導体装置を、基板上に、集積回路を有する複数層の配線層を備え、前記各配線層は、前記集積回路の電気特性が寄生容量の増加に対して変化をしにくい第1の機能領域と、前記集積回路の電気特性が寄生容量の増加に対して変化をしやすい第2の機能領域とをそれぞれ有しており、前記第1の機能領域には、該第1の機能領域の配線パターンと電気的に絶縁されている疑似配線パターンが設けられている構成とするものである。

【0011】請求項1の構成により、各配線層は、集積回路の電気特性が寄生容量の増加に対して変化をしにくい第1の機能領域と、集積回路の電気特性が寄生容量の増加に対して変化をしやすい第2の機能領域とに分割されており、第1の機能領域にのみ、第1の機能領域の配線パターンと電気的に絶縁されている疑似配線パターンが設けられているため、第1の機能領域の層間絶縁膜の上面部が平坦化されると共に、第2の機能領域には疑似配線パターンが設けられていないため、寄生容量が増加する事がない。

【0012】請求項2の発明は、請求項1又は2の構成に、前記第1の機能領域にはデジタル回路が形成され、前記第2の機能領域にはアナログ回路が形成されている構成を付加するものである。

【0013】請求項3の発明は、請求項1又は2の構成に、前記第1の機能領域における、配線パターンの幅と互いに隣接する配線パターン同士の間隔との和からなる第1の配線ピッチは、第2の機能領域における、配線パターンの幅と互いに隣接する配線パターン同士の間隔との和からなる第2の配線ピッチよりも小さい構成を付加するものである。

【0014】請求項4の発明は、請求項1又は2の構成に、前記複数層の配線層は下方から順次形成された第1、第2及び第3の配線層を有しており、前記第1の機能領域における前記第1の配線層と前記第2の配線層とを電気的に接続するための第1の接続孔と、前記第1の機能領域における前記第2の配線層と前記第3の配線層とを電気的に接続するための第2の接続孔とは上下の同位置に形成されている構成を付加するものである。

【0015】請求項5の発明は、請求項1又は2の構成に、前記第1の機能領域と前記第2の機能領域との境界部には、前記配線パターン及び疑似配線パターンを有しない遷移領域が設けられている構成を付加するものである。

【0016】

【発明の実施の形態】本発明の第1の実施形態を図面に基づいて説明する。

【0017】図1は本発明の第1の実施形態に係る半導体装置の構成断面図である。図1において、半導体基板11の上に回路の電気特性が寄生容量の増加に対して変

4

域Aと、回路の電気特性が寄生容量の増加に対して変化をしやすい第2の機能領域、例えば、アナログ回路領域Bとを設ける。

【0018】図1に示すように、半導体基板11の上に膜厚 $1.0\mu\text{m}$ の酸化シリコン膜よりなる絶縁膜12を介して、デジタル回路領域Aには膜厚 $0.7\mu\text{m}$ のAlSiCu合金よりなる第1層の第1の配線パターン13A及び第1層の第1の配線パターン13Aとは電気的に絶縁された疑似配線パターンとしての第1層のダミーパターン14が形成され、アナログ回路領域Bには膜厚 $0.7\mu\text{m}$ のAlSiCu合金よりなる第1層の第2の配線パターン13Bが形成されている。半導体基板11の上に全面にわたって第1層の各配線パターン13A、13Bと第2層の各配線パターン15A、15Bとを絶縁する膜厚 $1.0\mu\text{m}$ の酸化シリコン膜よりなる第1層の層間絶縁膜16が形成され、第1層の層間絶縁膜16の上にデジタル回路領域Aには膜厚 $0.7\mu\text{m}$ のAlSiCu合金よりなる第2層の第1の配線パターン15Aと、アナログ回路領域Bには第2層の第2の配線パターン15Bとが形成されている。デジタル回路領域Aには第1層の第1の配線パターン13Aと第2層の第1の配線パターン15Aとを電気的に接続する第1の接続孔としてのタングステンよりなる第1層の第1のバイアホール17Aが第1層の層間絶縁膜16に形成され、アナログ回路領域Bには第1層の第2の配線パターン13Bと第2層の第2の配線パターン15Bとを電気的に接続する接続孔であるタングステンよりなる第1層の第2のバイアホール17Bが第1層の層間絶縁膜16に形成されている。

【0019】このように本実施形態によると、1つの半導体基板11を、回路の電気特性が寄生容量の増加に対して影響を受けにくい、例えばデジタル回路領域Aと、回路の電気特性が寄生容量の増加に対して影響を受けやすい、例えばアナログ回路領域Bとにそれぞれ分割しておき、デジタル回路領域Aにのみ第1の配線パターン13Aと電気的に絶縁された第1層のダミーパターン14が設けられているため、デジタル回路領域Aの第1層の層間絶縁膜16の上面は平坦化されると共に、アナログ回路領域Bは寄生容量が増加しないので、設計通りの電気特性を得ることが出来る。

【0020】さらに、デジタル回路領域Aの第1層の層間絶縁膜16は、第1層のダミーパターン14が形成されているため、第1層の層間絶縁膜16の上面部が平坦化されるので、デジタル回路領域Aの最小配線ピッチ(=最小の配線幅と該配線同士の間隔との和)はアナログ回路領域Bの最小配線ピッチと比べて小さくできるようになり、従って、デジタル回路領域Aは高集積化を図ることができる。

【0021】具体的に、デジタル回路領域A及びアナロ

すると、一般に配線間の間隔が3.5μm以上になると、第1層の層間絶縁膜16の上面部に0.2μm以上の段差が生じるため、第2層には最小配線ピッチが1.2μmの配線パターンを形成できない。そこで、配線間の間隔が3.5μm以上となる領域に、一辺が0.9μmの方形をした第1層のダミーパターン14を0.9μmの間隔に複数個設けることにより、層間絶縁膜に段差が生じないようにする。なお、第1層のダミーパターン14のサイズが0.9μmよりも小さい場合は、安定したリソグラフィー処理やドライエッチング処理を行なえなくなる。

【0022】このように、第1の機能領域であるデジタル回路領域Aには、第1層の第1の配線パターン13A間の間隔が3.5μm以上の領域に第1層のダミーパターン14が形成されているため、第1層の層間絶縁膜16の上面部が平坦となるので、1.2μmの最小配線ピッチのレジストパターンの解像が可能となり、その結果、デジタル回路領域Aにおける最小配線ピッチを1.2μmとすることができます。

【0023】一方、第2の機能領域であるアナログ回路領域Bには、第1層の層間絶縁膜16の上面に段差部が生じているため、1.5μmの配線ピッチのレジストパターンの解像も困難となるので、最小配線ピッチを2.0μmにする。

【0024】なお、ダミーパターンの形状は、ダミーパターンの径が0.9μmでありさえすればよく、方形に限るものではない。

【0025】以下、本発明の第2の実施形態を図面に基づいて説明する。

【0026】図2は本発明の第2の実施形態に係る半導体装置の構成断面図である。図2において図1と同一の部材には同一の符号を付すことにより説明を省略する。図2に示すように、デジタル回路領域Aにおける第1層の層間絶縁膜16の上には、第2層の第1の配線パターン15A同士の間隔が3.5μm以上ある領域に第2層のダミーパターン21が形成されているため、第2層の層間絶縁膜22の上面部が平坦に形成されており、第2層の層間絶縁膜22の上に第3層の第1の配線層23Aが形成され、第2層の第1の配線パターン15Aと第3層の第1の配線層23Aとを電気的に接続する第2の接続孔としてのタングステンよりなる第2層の第1のバイアホール24Aが第2層の層間絶縁膜22に形成されている。アナログ回路領域Bにおける第2層の層間絶縁膜22の上には、第3層の第2の配線層23Bが形成され、第2層の第2の配線パターン15Bと第3層の第2の配線層23Bとを電気的に接続するタングステンよりなる第2層の第2のバイアホール24Bが第2層の層間絶縁膜22に形成されている。

【0027】このように、本実施形態によると、第1の

の配線パターン13Aの間に第1層のダミーパターン14が形成されているため、第1層の層間絶縁膜16の上面部が平坦となるので、0.6μm角となるバイアホールのレジストパターンの解像が可能となる。従って、0.6μm角のバイアホールが形成できるため、タングステンよりなる金属膜をバイアホール内に堆積しても第1層の層間絶縁膜16の上面部と第1層の第1のバイアホール17Aの上端部とに段差が生じないので、第1層の第1のバイアホール17Aの上方の同位置に重ねられるように第2層の第1のバイアホール24Aが形成されるスタックドバイア構造を探ることができます。スタックドバイア構造によって、層間接続孔の形成領域を小さくすることができるので、デジタル回路領域Aをさらに高集積化することができる。

【0028】一方、図2に示すように、アナログ回路領域Bにおいては、第1層の層間絶縁膜16の上面部は平坦にはならないため、バイアホールは0.8μm角となるので、金属膜を堆積した際に、該バイアホールの中央部に凹形状のくぼみが生じることになる。エッチング工程を経ても、このくぼみが、例えば図2に示す段差30として残るために、第1層の第2のバイアホール17Bの上に形成される第2層の第2の配線パターン15Bの上面にも同様のくぼみが生じるので、スタックドバイア構造を採用しない。

【0029】以下、本発明の第3の実施形態を図面に基づいて説明する。

【0030】図3は本発明の第3の実施形態に係る半導体装置の構成断面図である。図3において図1と同一の部材には同一の符号を付すことにより説明を省略する。図3に示すように、これまでの実施形態と同様に、寄生容量の増加に対して回路の電気特性が変化をしにくい第1の機能領域としてのデジタル回路領域Aが設けられており、第1層の第1の配線パターン13Aが疎となる領域に第1層のダミーパターン14を形成して、第1層の層間絶縁膜16の上面部を平坦にしている。また、寄生容量の増加に対して回路の電気特性が変化をしやすい第2の機能領域としてのアナログ回路領域Bが設けられている。

【0031】本実施形態の特徴として、デジタル回路領域Aとアナログ回路領域Bとに挟まれており、通常の配線パターンもダミーパターンも設けられていない幅0.8μmの遷移領域Cが形成されているため、デジタル回路領域Aにおいては、第1層のダミーパターン14がアナログ回路領域Bの境界まで形成されるので、第1層の層間絶縁膜16がアナログ回路領域Bの境界付近まで平坦化されることになり、第1の領域を確実に確保できると共に、アナログ回路領域Bにおいては、ダミーパターンによるアナログ回路の電気特性への影響を完全に抑制することができる。

【発明の効果】請求項1の発明に係る半導体装置によると、第1の機能領域の層間絶縁膜の上面部が平坦化されるため、平坦化されない第2の機能領域と比べて、最小配線ピッチを小さくすることが可能となるので、高い半導体素子集積度を実現することができると共に、第2の機能領域には疑似配線パターンが設けられていないため、寄生容量が増加することがないので、設計通りの電気特性を実現することができる。

【0033】請求項2の発明に係る半導体装置によると、第1の機能領域にはデジタル回路が形成され、第2の機能領域にはアナログ回路が形成されているため、デジタル回路は回路の高集積化が可能となり、アナログ回路は設計通りの電気特性を実現することができる。

【0034】請求項3の発明に係る半導体装置によると、第1の機能領域における配線ピッチは、第2の機能領域における配線ピッチに比べて小さいため、第1の機能領域は第2の機能領域よりも高い半導体素子集積度を確実に得ることができる。

【0035】請求項4の発明に係る半導体装置によると、複数層の配線層は下方から順次形成された第1、第2及び第3の配線層を有しており、第1の機能領域における第1の配線層と第2の配線層とを電気的に接続するための第1の接続孔と、第1の機能領域における第2の配線層と第3の配線層とを電気的に接続するための第2の接続孔とは上下の同位置に形成されているため、第1の機能領域の3層以上にわたる接続孔が占有する領域を小さくすることができるので、さらに高い半導体素子集積度を得ることができる。

【0036】請求項5の発明に係る半導体装置によると、第1の機能領域と第2の機能領域との境界部には、遷移領域が設けられているため、第1の機能領域は第2の機能領域の境界付近まで確実に平坦化されると共に、第1の機能領域の各層間絶縁膜を平坦化する疑似配線パターンでさえも遷移領域には設けられていないため、第2の

機能領域の回路は第1の機能領域から該回路の電気特性にいかなる影響も及ぼされることがない。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置の構成断面図である。

【図2】本発明の第2の実施形態に係る半導体装置の構成断面図である。

【図3】本発明の第3の実施形態に係る半導体装置の構成断面図である。

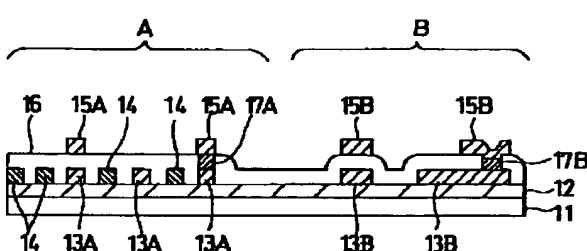
【図4】従来のダミーパターンを有しない半導体装置の構成断面図である。

【図5】従来のダミーパターンを有する半導体装置の構成断面図である。

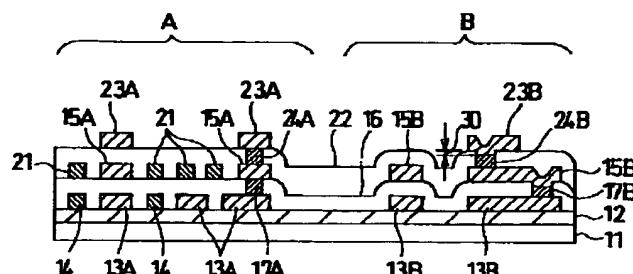
#### 【符号の説明】

A	デジタル回路領域
B	アナログ回路領域
C	遷移領域
11	半導体基板
12	絶縁膜
20	13A 第1層の第1の配線パターン 13B 第1層の第2の配線パターン 14 第1層のダミーパターン 15A 第2層の第1の配線パターン 15B 第2層の第2の配線パターン 16 第1層の層間絶縁膜 17A 第1層の第1のバイアホール 17B 第1層の第2のバイアホール 21 第2層のダミーパターン 22 第2層の層間絶縁膜
30	23A 第3層の第1の配線層 23B 第3層の第2の配線層 24A 第2層の第1のバイアホール 24B 第2層の第2のバイアホール 30 段差

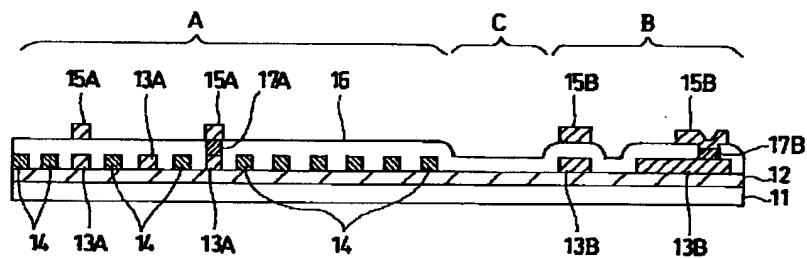
【図1】



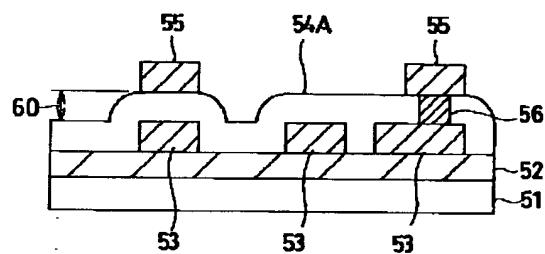
【図2】



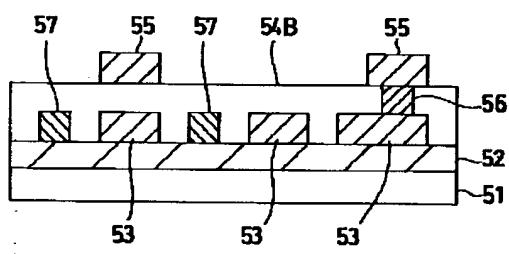
【図3】



【図4】



【図5】



**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

- 1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2. \*\*\*\* shows the word which can not be translated.
- 3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor device which has a multilayer-interconnection layer.

[0002]

[Description of the Prior Art] In recent years, in order to raise the degree of integration of a semiconductor device and to raise the property of a device, multilayer interconnections, such as a two-layer wiring and a three layer wiring, are widely used for the semiconductor device. Especially, in multilayer-interconnection structure, the flattening of a layer insulation layer is demanded strongly, and raising the flat nature of a layer insulation layer is examined by preparing a false wiring pattern (it being hereafter called a dummy pattern) in the field to which the spacing of the wiring patterns under a layer insulation layer serves as a non-dense.

[0003] Hereafter, the conventional semiconductor device is explained based on a drawing.

[0004] Drawing 4 is a configuration cross section of the semiconductor device which does not have the conventional dummy pattern. As shown in drawing 4, the 1st wiring pattern 53 which consists of an AlSiCu alloy of 0.7 micrometers of thickness through the insulator layer 52 which consists of a silicon-oxide layer of 1.0 micrometers of thickness is formed on the semiconductor substrate 51. Layer insulation layer 54A which consists of a silicon-oxide layer of 1.0 micrometers of the thickness which insulate the 1st wiring pattern 53 and the upper wiring pattern over the whole surface is formed on the semiconductor substrate 51. the connection which the 2nd wiring pattern 55 which consists of an AlSiCu alloy of 0.7 micrometers of thickness is formed on layer insulation layer 54A, and connects electrically the 1st wiring pattern 53 and the 2nd wiring pattern 55 -- the Bahia hall 56 which is a hole is alternatively formed in layer insulation layer 54A

[0005] Drawing 5 is a configuration cross section of the semiconductor device which has the conventional dummy pattern. An explanation is omitted by giving the same sign to the member shown in drawing 4, and the same member in drawing 5. When only the difference from the semiconductor device shown in drawing 4 is explained, the inside of the 1st wiring pattern 53, The dummy pattern 57 which becomes the field to which a wiring pattern serves as a non-dense comparatively from AlSiCu alloy of 0.7 micrometers of thickness, and was electrically insulated with the 1st wiring pattern 53 is formed. Layer insulation layer 54B which consists of a silicon-oxide layer of 1.0 micrometers of the thickness which insulate the 1st wiring pattern 53 and the upper wiring pattern over the whole surface is formed on the semiconductor substrate 51.

[0006]

[Problem(s) to be Solved by the Invention] However, the semiconductor device which does not have the aforementioned conventional dummy pattern Since the level difference section 60 arises in the top of layer insulation layer 54A of the field where the wiring pattern in the 1st wiring pattern 53 serves as a non-dense comparatively as shown in drawing 4, Since halation occurs by the level difference section 60, or the depth of focus shifts in a photo-lithography process at the time of exposure and the resolution of a resist pattern falls Moreover, since the metal which forms the 2nd wiring pattern 55 in an etching process became easy to remain near the level difference section 60 as smuts, it became difficult to form the 2nd wiring pattern 55 minutely, and, as a result, it had the problem that the high degree of integration of a semiconductor device could not be obtained.

[0007] Moreover, since the dummy pattern 57 was formed in the field of the 1st wiring pattern 53 which serves as a non-dense comparatively and the semiconductor device which has the aforementioned conventional dummy pattern became flat [ the top of layer insulation layer 54B ], although micro processing could be performed, the capacity between wiring patterns increased and it had the problem that the electrical property as a design was not acquired.

[0008] this invention solves the aforementioned conventional problem at a stroke, and a high semiconductor device degree of integration is realized, and it aims at enabling it to acquire the electrical property as a design.

[0009]

[Means for Solving the Problem] In order to attain the aforementioned purpose, this invention prepares the field which forms only the circuit where an electrical property is not influenced to the increase in a parasitic capacitance, and prepares a false wiring pattern only in this field.

[0010] The resolution means which invention of a claim 1 provided concretely It has the layers [ two or more ] wiring layer which has an integrated circuit for a semiconductor device on a substrate. each aforementioned wiring layer The 1st functional area where the electrical property of the aforementioned integrated circuit seldom changes to the increase in a parasitic capacitance, It

has the 2nd functional area where the electrical property of the aforementioned integrated circuit tends to change to the increase in a parasitic capacitance, respectively, and considers as the configuration in which the false wiring pattern electrically insulated with the wiring pattern of this 1st functional area is prepared in the 1st aforementioned functional area.

[0011] The 1st functional area where, as for each wiring layer, the electrical property of an integrated circuit seldom changes with the configurations of a claim 1 to the increase in a parasitic capacitance, Since the electrical property of an integrated circuit is divided into the 2nd functional area which is easy to change to the increase in a parasitic capacitance and the false wiring pattern electrically insulated with the wiring pattern of the 1st functional area is prepared only in the 1st functional area, Since the false wiring pattern is not prepared in the 2nd functional area while the flattening of the top section of the layer insulation layer of the 1st functional area is carried out, a parasitic capacitance does not increase.

[0012] A digital circuit is formed in the 1st aforementioned functional area, and invention of a claim 2 adds the configuration by which the analog circuit is formed in the 2nd aforementioned functional area to the claim 1 or the configuration of 2.

[0013] Invention of a claim 3 adds a parvus configuration rather than the 2nd wiring pitch which the 1st wiring pitch which becomes the claim 1 or the configuration of 2 from the sum with the spacing of the wiring patterns which adjoin mutually the width of face of the wiring pattern in the 1st aforementioned functional area becomes from the sum with the spacing of the wiring patterns which adjoin mutually the width of face of the wiring pattern in the 2nd functional area.

[0014] In invention of a claim 4, the aforementioned layers [ two or more ] wiring layer has the 1st, the 2nd, and 3rd wiring layers formed one by one from the lower part in the claim 1 or the configuration of 2. the 1st connection for connecting electrically the wiring layer of the above 1st and the wiring layer of the above 2nd in the 1st aforementioned functional area -- with a hole the 2nd connection for connecting electrically the wiring layer of the above 2nd and the wiring layer of the above 3rd in the 1st aforementioned functional area -- a hole adds the configuration currently formed in this up-and-down position

[0015] Invention of a claim 5 adds the configuration with which the transition region which does not have the aforementioned wiring pattern and a false wiring pattern is prepared in the boundary section of the 1st aforementioned functional area and the 2nd aforementioned functional area to the claim 1 or the configuration of 2.

[0016]

[Embodiments of the Invention] The 1st operation gestalt of this invention is explained based on a drawing.

[0017] Drawing 1 is a configuration cross section of the semiconductor device concerning the 1st operation gestalt of this invention. In drawing 1 , it prepares on the semiconductor substrate 11, the 1st functional area where electrical property of a circuit seldom changes to the increase in a parasitic capacitance, for example, digital circuit field A, and the 2nd functional area where electrical property of a circuit tends to change to the increase in a parasitic capacitance, for example, analog circuit field B.

[0018] As shown in drawing 1 , the insulator layer 12 which consists of a silicon-oxide layer of 1.0 micrometers of thicknesss is minded on the semiconductor substrate 11. The dummy pattern 14 of the 1st layer as a false wiring pattern electrically insulated with 1st wiring pattern 13A of the 1st layer and 1st wiring pattern 13A of the 1st layer which turn into digital circuit field A from AlSiCu alloy of 0.7 micrometers of thicknesss is formed. 2nd wiring pattern 13B of the 1st layer which consists of an AlSiCu alloy of 0.7 micrometers of thicknesss is formed in analog circuit field B. The layer insulation layer 16 of the 1st layer which consists of a silicon-oxide layer of 1.0 micrometers of the thicknesss which insulate each wiring patterns 13A and 13B of the 1st layer and each wiring patterns 15A and 15B of the 2nd layer over the whole surface is formed on the semiconductor substrate 11. 2nd wiring pattern 15B of the 2nd layer is formed on the layer insulation layer 16 of the 1st layer at 1st [ of the 2nd layer set to digital circuit field A from AlSiCu alloy of 0.7 micrometers of thicknesss ] wiring pattern 15A, and analog circuit field B. 1st Bahia hall 17A of the 1st layer which consists of a tungsten as a hole is formed in the layer insulation layer 16 of the 1st layer. the 1st connection which connects electrically 1st wiring pattern 13A of the 1st layer, and 1st wiring pattern 15A of the 2nd layer to digital circuit field A -- the connection which connects electrically 2nd wiring pattern 13B of the 1st layer, and 2nd wiring pattern 15B of the 2nd layer to analog circuit field B -- 2nd Bahia hall 17B of the 1st layer which consists of a tungsten which is a hole is formed in the layer insulation layer 16 of the 1st layer, and is

[0019] Thus, for example, digital circuit field A in which the electrical property of a circuit seldom receives influence for one semiconductor substrate 11 to the increase in a parasitic capacitance according to this operation gestalt, The electrical property of a circuit tends to be influenced to the increase in a parasitic capacitance, for example, it divides into analog circuit field B, respectively. Since the dummy pattern 14 of the 1st layer electrically insulated with 1st wiring pattern 13A is formed only in digital circuit field A, while the flattening of the top of the layer insulation layer 16 of the 1st layer of digital circuit field A is carried out Since a parasitic capacitance does not increase, analog circuit field B can acquire the electrical property as a design.

[0020] Furthermore, the layer insulation layer 16 of the 1st layer of digital circuit field A Since the dummy pattern 14 of the 1st layer is formed and the flattening of the top section of the layer insulation layer 16 of the 1st layer is carried out The minimum wiring pitch (sum of the wiring width of face of = minimum and the spacing of these wirings) of digital circuit field A comes be small made compared with the minimum wiring pitch of analog circuit field B, therefore digital circuit field A can attain high integration.

[0021] Since the level difference of 0.2 micrometers or more will arise among the top section of the layer insulation layer 16 of the 1st layer concretely if the spacing during a wiring is generally set to 3.5 micrometers or more if each minimum wiring pitch of digital circuit field A and analog circuit field B is explained, the minimum wiring pitch cannot form in the 2nd layer the wiring pattern which is 1.2 micrometers. Then, a level difference is made not to arise on a layer insulation layer by forming two or more dummy patterns 14 of the 1st layer which carried out the rectangle whose one side is 0.9 micrometers at interval of 0.9 micrometers in the field to which the spacing during a wiring becomes 3.5 micrometers or more. In addition, the size of the

dummy pattern 14 of the 1st layer becomes unable to perform lithography processing and dry etching processing in which the parvus case was stabilized rather than 0.9 micrometers.

[0022] thus, to digital circuit field A which is the 1st functional area Since the dummy pattern 14 of the 1st layer is formed in the field 3.5 micrometers or more and the spacing between [ of the 1st layer ] the 1st wiring pattern 13A becomes flat [ the top section of the layer insulation layer 16 of the 1st layer ] Resolving of the resist pattern of the 1.2-micrometer minimum wiring pitch is attained, and, as a result, the minimum wiring pitch in digital circuit field A can be set to 1.2 micrometers.

[0023] On the other hand, since the level difference section has arisen on the top of the layer insulation layer 16 of the 1st layer and it becomes difficult [ resolving of the resist pattern of the wiring pitch which is 1.5 micrometers ] at analog circuit field B which is the 2nd functional area, the minimum wiring pitch is set to 2.0 micrometers.

[0024] In addition, the configuration of a dummy pattern is good if only the path of a dummy pattern is 0.9 micrometers, and it is not restricted to a rectangle.

[0025] Hereafter, the 2nd operation gestalt of this invention is explained based on a drawing.

[0026] Drawing 2 is a configuration cross section of the semiconductor device concerning the 2nd operation gestalt of this invention. An explanation is omitted by giving the same sign to the same member as drawing 1 in drawing 2. As shown in drawing 2, on the layer insulation layer 16 of the 1st layer in digital circuit field A Since 3.5 micrometers or more of the dummy patterns 21 of the 2nd layer are formed in a certain field for the spacing of 1st wiring pattern 15A of the 2nd layer, The top section of the layer insulation layer 22 of the 2nd layer is formed evenly, and 1st [ of the 3rd layer ] wiring layer 23A is formed on the layer insulation layer 22 of the 2nd layer. The 2nd connection which connects electrically 1st wiring pattern 15A of the 2nd layer, and 1st [ of the 3rd layer ] wiring layer 23A -- 1st Bahia hall 24A of the 2nd layer which consists of a tungsten as a hole is formed in the layer insulation layer 22 of the 2nd layer On the layer insulation layer 22 of the 2nd layer in analog circuit field B, 2nd [ of the 3rd layer ] wiring layer 23B is formed, and 2nd Bahia hall 24B of the 2nd layer which consists of a tungsten which connects electrically 2nd wiring pattern 15B of the 2nd layer and 2nd [ of the 3rd layer ] wiring layer 23B is formed in the layer insulation layer 22 of the 2nd layer.

[0027] Thus, according to this operation gestalt, since the dummy pattern 14 of the 1st layer is formed between 1st wiring pattern 13A of the 1st layer and the top section of the layer insulation layer 16 of the 1st layer becomes flat, resolving of the resist pattern of the Bahia hall used as 0.6 micrometer angle is attained at digital circuit field A which is the 1st functional area. Therefore, since a level difference does not arise among the top section of the layer insulation layer 16 of the 1st layer, and the upper-limit section of 1st Bahia hall 17A of the 1st layer even if it deposits the metal membrane which consists of a tungsten in the Bahia hall, since the Bahia hall of 0.6 micrometer angle can be formed The stacked \*\*\*\*\* structure where 1st Bahia hall 24A of the 2nd layer is formed so that it may put on this upper position of 1st Bahia hall 17A of the 1st layer can be taken. stacked \*\*\*\*\* structure -- an interlayer connection -- since the formation field of a hole can be made small, digital circuit field A can be integrated further highly

[0028] On the other hand, when a metal membrane is deposited since the top section of the layer insulation layer 16 of the 1st layer did not become flat and the Bahia hall became 0.8 micrometer angle in analog circuit field B as shown in drawing 2, a concave-like impression will be generated in the center section of this Bahia hall. Since the same impression also as the top of 2nd wiring pattern 15B of the 2nd layer formed on 2nd Bahia hall 17B of the 1st layer is generated in order that this impression may remain as a level difference 30 shown in drawing 2 even if it passes through an etching process, stacked \*\*\*\*\* structure is not adopted.

[0029] Hereafter, the 3rd operation gestalt of this invention is explained based on a drawing.

[0030] Drawing 3 is a configuration cross section of the semiconductor device concerning the 3rd operation gestalt of this invention. An explanation is omitted by giving the same sign to the same member as drawing 1 in drawing 3. As shown in drawing 3, digital circuit field A as the 1st functional area where the electrical property of a circuit seldom changes to the increase in a parasitic capacitance is prepared like the old operation gestalt, and 1st wiring pattern 13A of the 1st layer forms the dummy pattern 14 of the 1st layer in the field used as a non-dense, and makes flat the top section of the layer insulation layer 16 of the 1st layer. Moreover; analog circuit field B as the 2nd functional area where the electrical property of a circuit tends to change to the increase in a parasitic capacitance is prepared.

[0031] Since transition region C with a width of face of 0.8 micrometers in which it is inserted into digital circuit field A and analog circuit field B, and neither a usual wiring pattern nor a dummy pattern is prepared as a characteristic feature of this operation gestalt is formed. In digital circuit field A, since the dummy pattern 14 of the 1st layer is formed to the boundary of analog circuit field B While the flattening of the layer insulation layer 16 of the 1st layer will be carried out to near the boundary of analog circuit field B and the 1st field can be secured certainly, in analog circuit field B, the influence of the electrical property on the analog circuit by the dummy pattern can be suppressed completely.

[0032]

[Effect of the Invention] Since the flattening of the top section of the layer insulation layer of the 1st functional area is carried out to semiconductor device \*\*\*\* concerning invention of a claim 1 and it is enabled to make the minimum wiring pitch small compared with the 2nd functional area by which a flattening is not carried out Since the false wiring pattern is not prepared in the 2nd functional area and a parasitic capacitance does not increase while a high semiconductor device degree of integration is realizable, the electrical property as a design is realizable.

[0033] Since a digital circuit is formed in the 1st functional area with semiconductor device \*\*\*\* concerning invention of a claim 2 and the analog circuit is formed in the 2nd functional area, the high integration of a circuit of a digital circuit is attained, and an

analog circuit becomes possible [ realizing the electrical property as a design ].

[0034] For a parvus reason, as for the 1st functional area, semiconductor device \*\*\*\* concerning invention of a claim 3 and the wiring pitch in the 1st functional area can obtain certainly a semiconductor device degree of integration higher than the 2nd functional area compared with the wiring pitch in the 2nd functional area.

[0035] Semiconductor device \*\*\*\* concerning invention of a claim 4 and the layers [ two or more ] wiring layer have the 1st, the 2nd, and 3rd wiring layers formed one by one from the lower part. the 1st connection for connecting electrically the 1st wiring layer and the 2nd wiring layer in the 1st functional area -- with a hole the 2nd connection for connecting electrically the 2nd wiring layer and the 3rd wiring layer in the 1st functional area -- a hole, since it is formed in this up-and-down position the connection covering three or more layers of the 1st functional area -- since the field which a hole occupies can be made small, a still high semiconductor device degree of integration can be obtained

[0036] Among the boundary section of semiconductor device \*\*\*\* concerning invention of a claim 5, and the 1st functional area and the 2nd functional area Since the transition region is established, while the flattening of the 1st functional area is carried out to an authenticity to near the boundary of the 2nd functional area Since even the false wiring pattern which carries out the flattening of the insulator layer between each class of the 1st functional area is not prepared in a transition region, as for the circuit of the 2nd functional area, the electrical property of this circuit is affected [ no ] from the 1st functional area.

---

[Translation done.]